

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公報番号

特開平9-8240

(43) 公開日 平成9年(1997)1月10日

(5) IntCL <sup>4</sup>	識別記号	庁内整理番号	P I		技術表示箇所
H 0 1 L	27/108		H 0 1 L	27/10	6 2 1 Z
	21/8242			21/30	5 0 2 C
	21/027				

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平7-150028  
(22) 出願日 平成7年(1995)6月16日

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 横口 俊雄  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(74) 代理人 弁理士 船橋 昭則

(54) [発明の名称] 半導体装置の製造方法

(57) [要約]

[目的] スタック型キャパシタの容量を確保すること  
ができる半導体装置の製造方法を提供する。

[構成] ライン状のマスクパターン23が形成された  
第1のフォトマスク21を用いて電極形成層12を介し  
て基板11上に成膜したボジ型のレジスト膜13に露光  
を行い、レジスト膜13に第1パターン像23aを形成  
する。ライン状のマスクパターン33が形成された第2  
のフォトマスク31を用いてレジスト膜13に露光を行  
い、レジスト膜13に第1パターン像23aと交差する  
状態の第2パターン像33aを形成する。レジスト膜1  
3の現像処理を行い、島状のレジストパターン13aを  
形成する。レジストパターン13aをマスクにして電極  
形成層12をエッチングし、基板11上に電極形成層1  
2からなるスタック型キャパシタの電極12aを形成す  
る。これによって、露光の際の露光光の回折の影響が少  
ない部分を利用して上面が面形状の電極12aを形成  
する。

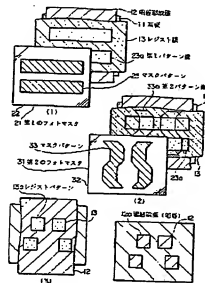


図1 製造方法を説明する図

(2)

特開平9-8240

1

【特許請求の範囲】

【請求項1】 ライン状のマスクパターンが形成された第1のフォトマスクを用いて電極形成層を介して基板上に成膜したボジ型のレジスト膜に対して露光を行い、当該レジスト膜に第1パターン像を形成する工程と、  
ライン状のマスクパターンが形成された第2のフォトマスクを用いて前記レジスト膜に対して露光を行い、当該レジスト膜に前記第1パターン像と交差する状態で第2パターン像を形成する工程と、

前記レジスト膜の現像処理を行い、前記第1パターン像と前記第2パターン像とが交差した部分に当該レジスト膜からなる島状のレジストパターンを形成する工程と、  
前記レジストパターンをマスクにして前記電極形成層をエッチングし、前記基板上に当該電極形成層からなるスタック型キャパシタの電極を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 基板上に成膜した電極形成層でラインパターンを形成する工程と、  
前記基板上に前記ラインパターンと交差する状態でライン状のレジストパターンを形成する工程と、  
前記レジストパターンをマスクにして前記ラインパターンをエッチングすることによって、前記基板上に前記電極形成層からなるスタック型キャパシタの電極を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スタック型キャパシタを有する半導体装置の製造工程に関する。

【0002】

【従来の技術】 半導体装置の製造工程で、例えばDRAMのようにスタック型キャパシタを有する半導体装置を製造する場合には、以下のような工程を行う。先ず、図8(1)の平面図と(2)、(3)の断面図に示すように、基板101の表面側に、素子分離膜102、選択トランジスタのゲート電極103、ソース及びドレイン拡散層104a、これらを含む層間膜104を形成し、この層間膜104に基板101の露出ノードに達するコンタクトホール105を形成する。次いで、基板101上にポリシリコン膜106を成膜し、この上面にレジスト膜107を成膜する。次いで、このレジスト膜107に対して、電形の島状のマスクパターンが形成されたフォトマスクを用いてリソグラフィを行い、当該レジスト膜107からなる島状のレジストパターン108を形成する。その後、この島状のレジストパターン108をマスクとしてポリシリコン膜106をエッチングし、島状のポリシリコンパターンからなるスタック型キャパシタの電極電極109を形成する。

【0003】 その後、図9(1)の平面図と(2)、

(3)の断面図に示すように、レジストパターン10

2

8)を除去し、電極電極109を露出膜110で覆い、次いで露出膜110を介して電極電極109上に上層電極111を形成してスタック型キャパシタを形成する。次いで、基板101上に電導性絶縁膜112で覆い、この層間絶縁膜112にビット線コンタクト113を形成する。その後、このビット線コンタクト113に接続する配線115を、層間絶縁膜112上に形成してDRAMを完成させる。

【0004】

【発明が解決しようとする課題】 しかし、上記半導体装置の製造方法には、以下のような課題がある。すなわち、図10(1)に示すように、上記電極電極を形成する工程では、電形の島状のマスクパターン121が形成されたフォトマスク122を用いてリソグラフィを行う。このようなフォトマスク122を用いた露光では、露光光がマスクパターンのエッジ部分で屈折することによって、レジスト膜107に投影されるパターン像123の角部が丸まる。このため、図10(2)に示すような上リソグラフィで形成されたレジストパターン108や、図10(3)に示すような上記レジストパターン(108)をマスクにしたエッチングで形成された電極電極109も側壁の角部が丸まった形状で形成される。したがって、上記電極電極109の表面積が設計値よりも減少し、十分な容量が得られず電荷保持時間が短くなってしまふ。

【0005】 また、上記図10(1)で示したような島状のマスクパターン121が形成されたフォトマスク122には、位相シフトマスクを適用することが困難である。なかでも高解像度が得られるレベリソンの位相シフトマスクへの適用が難しい。このため、各電極電極109間の最小間隔がある程度以上の広さに制限され、電極電極の配置面積の割合が削減されてしまふ。上記電極電極の面積の不足を補うために、当該電極電極をフィン型や円筒型より立体的な構造にすることが検討されているが、これらは工程とコストとを著しく増加させる要因になる。

【0006】 そこで本発明は、上記の課題を解決する半導体装置の製造方法を提案することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するため請求項1記載の半導体装置の製造方法は、ライン状のマスクパターンが形成された第1のフォトマスク及び第2のフォトマスクを用いた2面の露光とその後の現像処理とによって、各露光による第1パターン像と第2パターン像とが交差した部分に島状のレジストパターンを形成し、このレジストパターンをマスクにしたエッチングによって基板の表面にスタック型キャパシタの電極を形成する工程を備えたことを特徴としている。

【0008】 また、請求項2記載の半導体装置の製造方法は、電極形成層からなるラインパターンに交差させて

ライン状のレジストパターンを形成し、これをマスクにしてラインパターンをエッチングすることによって、スタック型キャパシタの電極を形成する工程を備えたことを特徴としている。

【0009】

【作用】請求項1記載の半導体装置の製造方法で形成される島状のレジストパターンは、2回の露光で形成されるライン状の第1パターン像と第2パターン像とを合成したものになる。このため、当該島状のレジストパターンは、露光光の回折が多いパターン像の角部を含むことなく形成され、その輪郭が矩形形状になる。したがって、当該島状のレジストパターンをマスクにしたエッチングによって形成される島状の電極は、その上面の輪郭が矩形形状になり表面積が確保される。

【0010】そして、請求項2記載の半導体装置の製造方法では、ラインパターンとライン状のレジストパターンとが交差する部分に島状の電極が形成される。このため、島状の電極電極は、その上面の輪郭が矩形形状になり表面積が確保される。

【0011】

【実施例】以下、本発明の実施例を図面に基いて説明する。図1(1)～(4)は、本発明の請求項1記載の半導体装置の製造方法を示す図であり、先ず、これらの図を用いて請求項1記載の製造方法を第1実施例として説明する。先ず、スタック型キャパシタの電極電極を形成する基板11を用いる。そして、基板11上に電極形成層12を成膜し、この上面にボリ型のレジスト膜13を成膜する。上記電極形成層12としては、例えばは不純物を含有させたポリシリコンを用いる。

【0012】そして、図1(1)に示す第1工程では、上記基板11上のレジスト膜13に対して第1のフォトリソマスク21を用いて1回目の露光を行う。この第1のフォトリソマスク21は、露光光に対して透過性を有する石英ガラス基板22上に、例えばクロムのような上記露光光に対して遮光性を有する材料膜からなるライン状のマスクパターン23が形成されたものである。この露光は、レジスト膜13における露光光の照射部がボリ型レジストの分解反応が十分に進むまで行う。この露光によって、露光光が照射されない部分からなるマスクパターン23の第1パターン像23aをレジスト膜13に形成する。尚、マスクパターン23は、少なくとも2つ以上のキャパシタにまたがる第1パターン像23aを形成するものとす。

【0013】次に、図1(2)に示す第2工程では、上記基板11上のレジスト膜13に対して第2のフォトリソマスク31を用いて2回目の露光を行う。この第2のフォトリソマスク31は、上記第1のフォトリソマスク(21)と同様に石英ガラス基板32上にライン状のマスクパターン33が形成されたものである。この露光は、上記第1工程と同様にレジスト膜13における露光光の照射部で工

シ型レジストの分解反応が十分に進むまで行う。また、上記1回目の露光の第1パターン像23aに対して第2パターン像33aが交差するように露光を行う。尚、マスクパターン33は、少なくとも2つ以上のキャパシタにまたがる第2パターン像33aを形成するものとす。この露光によって、露光光が照射されない部分からなるマスクパターン33の第2パターン像33aをレジスト膜13に形成する。

【0014】その後、図1(3)に示す第3工程では、レジスト膜13の現像処理を行い、電極形成層12上にレジスト膜13からなるレジストパターン13aを形成する。この現像処理によって、上記2回の露光で露光光が一度も照射されていない部分すなわち第1パターン像(23a)と第2パターン像(33a)とが交差する4か所にレジスト膜13が残り、これらが島状のレジストパターン13aになる。これらのレジストパターン13aは、露光光の回折が多い第1パターン像(23a)及び第2パターン像(33a)の角部を使用することなく形成される。このため、その上面の輪郭が矩形形状になる。

【0015】次に、図1(4)に示す第4工程では、レジストパターン(13a)をマスクにして電極形成層12のエッチングを行った後、当該レジストパターン(13a)を除去し、これによって電極形成層12からなる島状の電極電極12aを形成する。これらの電極電極12aは、輪郭が矩形形状の島状のレジストパターン(13a)をマスクにして形成されたものである。このため、これらの電極電極12aは、その上面の輪郭が矩形形状になる。

【0016】上記のようにして電極電極12aを形成した後、ここでは図示しないが、この電極電極12aを密着層で覆い、当該密着層を介して電極電極12a上に上部電極を形成し、これによってスタック型キャパシタが形成される。

【0017】上記半導体装置の製造方法では、当該電極電極12aの面積を減少させることなく矩形形状の電極電極12aが形成される。このため、電極電極12aを立体的な構成にすることなく、上記キャパシタの電極容量を確保することが可能になる。

【0018】また、上記第1実施例では、島状の電極電極12aの形成に、図1(1)、(2)に示したようなライン状のマスクパターン23、33が形成された第1のフォトリソマスク21、第2のフォトリソマスク31を用いた。このため、第1のフォトリソマスク21及び第2のフォトリソマスク31として、図2(1)、(2)に示すような位相シフトマスクを用いることが可能になる。このような第1のフォトリソマスク21と第2のフォトリソマスク31とは、マスクパターン23間、マスクパターン33間に露光光の位相を変化させる第1のシフト24、34と第2のシフト25、35とが交互に配置される。第1のシ



41にまで達するコンタクトホール45を形成して蓄積ノードを開閉する。

【0032】次に、図5に示すように、コンタクトホール45内を埋め込む状態で第1層間絶縁膜44上にポリシリコンからなる電極形成層46を成膜する。その後、上記第2実施例の第1工程及び第2工程と同様にして、この電極形成層46上にライン状の第1レジストパターン47を形成する。次いで、上記第2実施例の第3工程と同様に第1レジストパターン47をマスクにして電極形成層46をエッチングし、電極形成層46からなるラインパターン46aを形成する。このラインパターン46aは、コンタクトホール45部を渡る形状にする。

【0033】次いで、図6に示すように、上記第2実施例の第4工程及び第5工程と同様にして、第1レジストパターン47を除去した後、第1層間絶縁膜44上にラインパターン48aを交差する状態でライン状の第2レジストパターン48を形成する。その後、第2実施例の第6工程と同様に第2レジストパターン48をマスクにしてラインパターン48aをエッチングし、電極形成層からなるスタック型キャパシタの蓄積電極46bを形成する。

【0034】次に、図7に示すように、第2レジストパターン(48)を除去した後、蓄積電極46bを誘電膜49で覆い、次いで誘電膜49を介して蓄積電極46b上に上層電極50を形成してスタック型キャパシタを形成した後、第1層間絶縁膜44上を第2層間絶縁膜51で覆う。次いで、第2層間絶縁膜51に基板41にまで達するビット線コンタクト52を形成し、上部にアルミニウムからなる配線53を形成してDRAMを完成させる。

【0035】これによって、蓄積容量が確保されたキャパシタを有するDRAMが形成される。尚、上記蓄積電極46bの形成工程には、第1実施例を適用することも可能である。

【0036】

【発明の効果】以上説明したように、本発明の請求項1または2記載の半導体装置の製造方法によれば、ライン状のパターン像を投影する2回の露光で上記パターン像が交差する部分に島状のエッチングマスクを形成して電極形成層をエッチングするか、またはライン状のレジストパターンをマスクにしてこれと交差する電極形成層が

らなるラインパターンをエッチングすることで、露光光の照射による角部分の丸まりを防止して線部が矩形形状の島状の蓄積電極を形成することが可能になる。このため、スタック型キャパシタの蓄積電極の面積を確保して当該キャパシタの電荷保持時間を増大させることが可能になる。さらに、上記リソグラフィに用いるフォトリソグرافیを適用することが可能になり、リソグラフィの解像度を向上させ、上記キャパシタを有する半導体装置の高集積化を図ることができ。

【図面の簡単な説明】

【図1】第1実施例を示す図である。

【図2】第1及び第2のフォトリソグرافیを示す図である。

【図3】第2実施例を示す図である。

【図4】実施例を適用したDRAMの製造工程を示す第1図である。

【図5】実施例を適用したDRAMの製造工程を示す第2図である。

【図6】実施例を適用したDRAMの製造工程を示す第3図である。

【図7】実施例を適用したDRAMの製造工程を示す第4図である。

【図8】従来例を示す第1図である。

【図9】従来例を示す第2図である。

【図10】課題を説明する図である。

【符号の説明】

11、41 基板

12、46 電極形成層

12a、12c、46b 蓄積電極(電極)

12b、46a ラインパターン

13 レジスト膜

13a レジストパターン

15a、48 第2レジストパターン(レジストパターン)

21 第1のフォトリソグرافی

23 マスクパターン

23a 第1パターン像

31 第2のフォトリソグرافی

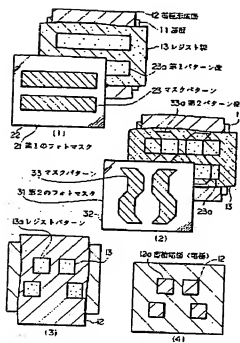
33 マスクパターン

33a 第2パターン像

(5)

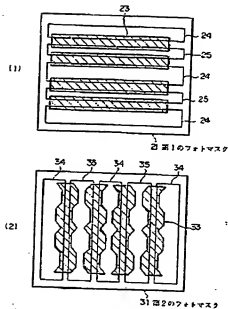
特開平9-8240

〔図1〕



第1製造例を示す図

〔図2〕

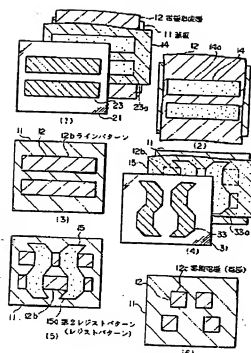


第1及び第2のフォトリソマスクを示す図

(7)

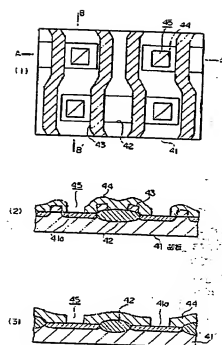
特開平9-8240

【図3】



第2実施例を示す図

【図4】



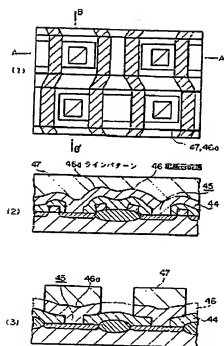
実施例を改変したDRAMの製造工程を示す第1図



(8)

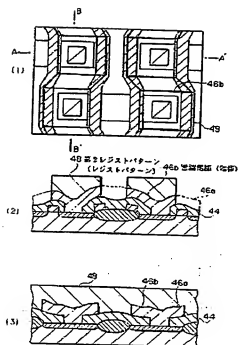
特開平 9 - 8 2 4 0

〔図 5〕



実施例を用いたDRAMの製造工程を示す第2図

〔図 6〕



実施例を用いたDRAMの製造工程を示す第3図

(5)

特開平9-8240

〔図7〕

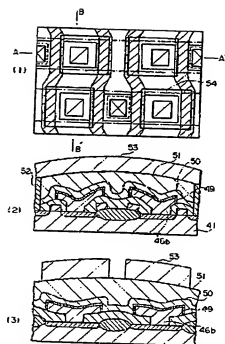


図7は、本発明を用いたDRAMの製造工程を示す第4図

〔図8〕

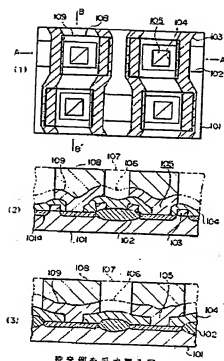


図8は、本発明を示す第5図

(10)

特開平9-8240

【図9】

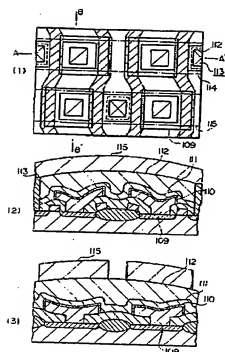


図9を説明する図2図

【図10】

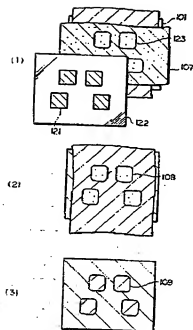


図10を説明する図